



IFW

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Frank Wiedmann

Attorney Docket No.: I435.104.101

Application No.: 10/756,838

Examiner: *Unknown*

Filed: January 13, 2004

Group Art Unit: *Unknown*

Title: METHOD AND DEVICE FOR PRODUCING DELAYED SIGNALS

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants claim priority under 35 U.S.C. §119 to German patent application No. 103 01 239.7, filed January 15, 2003. A certified copy of the priority document is enclosed.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled, and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Customer No. 025281
Dicke, Billig & Czaja, PLLC
Suite 2250
100 South Fifth Street
Minneapolis, Minnesota 55402
Telephone: (612) 573-2002

Respectfully submitted,

Steven E. Dicke

Steven E. Dicke
Registration No. 38,431

Please grant any extension of time necessary for entry; charge any fee due to Deposit Account No. 500471.

CERTIFICATE UNDER 37 C.F.R. 1.8:

The undersigned hereby certifies that this paper or papers, as described herein, are being deposited in the United States Postal Service, as first class mail with sufficient postage, in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on this 26 day of May, 2004.

By *Steven E. Dicke*
Name: Steven E. Dicke



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 01 239.7

Anmeldetag: 15. Januar 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Verfahren und Vorrichtung zur Erzeugung
von verzögerten Signalen

IPC: H 03 K 5/13

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 27. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Zusammenfassung

Verfahren und Vorrichtung zur Erzeugung von verzögerten Signalen

5

Zur Erzeugung von einem gegenüber einem Eingangssignal verzögerten Ausgangssignal (AS) mit definiertem Tastverhältnis wird vorgeschlagen, mindestens zwei gegenüber dem Eingangssignal unterschiedlich verzögerte Zwischensignale (ZS1, ZS2) zu erzeugen und so zu dem Ausgangssignal (AS) zu kombinieren, dass eine ansteigende (bzw. abfallende) Flanke eines ersten Zwischensignals (ZS1) der Zwischensignale eine ansteigende Flanke des Ausgangssignals (AS) und eine ansteigende (bzw. abfallende) Flanke eines zweiten Zwischensignals (ZS2) der Zwischensignale eine abfallende Flanke des Ausgangssignals (AS) bestimmt. Mit einer erfindungsgemäßen Vorrichtung können insbesondere mehrere um einen gleichen Betrag sukzessive verzögerte Versionen eines Eingangstaktsignals mit einem 50%-Tastverhältnis erzeugt werden.

10
15
20

(Fig. 3)

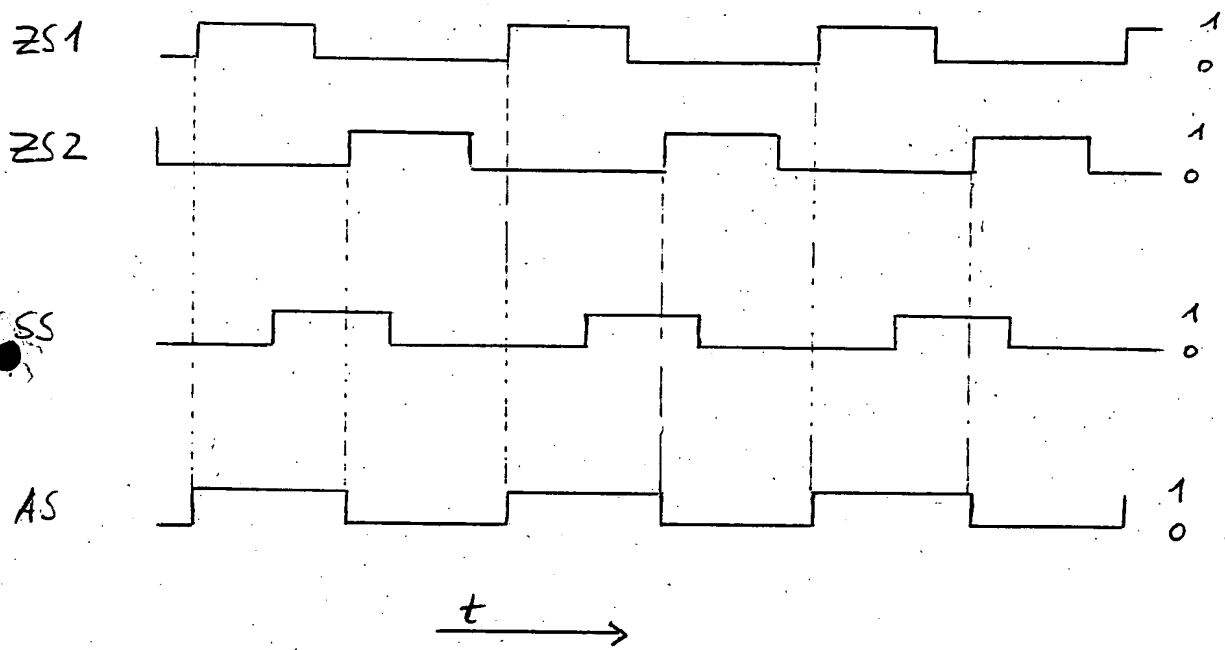


Fig. 3

Beschreibung

Verfahren und Vorrichtung zur Erzeugung von verzögerten Signalen

5

Die vorliegende Erfindung betrifft ein Verfahren bzw. eine Vorrichtung zum Erzeugen von einem gegenüber einem Eingangssignal verzögerten Ausgangssignal. Insbesondere betrifft sie ein Verfahren bzw. eine Vorrichtung zur

10 Erzeugung von mehreren gegenüber einem Eingangssignal jeweils um einen definierten Phasenwinkel verzögerten Ausgangssignalen, welche ein Tastverhältnis von z.B. 50% aufweisen.

15 Für eine Datenrückgewinnung durch Überabtastung benötigt man viele um jeweils gleiche Zeiten bzw. Phasenwinkel verzögerte Versionen eines Eingangstaktsignals, mit denen jeweils verschiedene Abtastglieder angesteuert werden. Um die Anzahl der Signale nicht zu hoch werden zu lassen, ist es

20 wünschenswert, sowohl mit der steigenden als auch mit der fallenden Flanke jedes Signals einen Abtastvorgang auslösen zu können. Hierfür ist es erforderlich, dass die Signale ein genau definiertes Tastverhältnis, insbesondere ein Tastverhältnis von 50%, aufweisen.

25

Zur Verzögerung des Eingangstakts werden im Allgemeinen Verzögerungsglieder verwendet. Aufgrund von prozessbedingten Unterschieden zwischen den Komponenten in den Verzögerungsgliedern kommt es allerdings zu einer Abweichung

30 im Tastverhältnis vom gewünschten Wert, beispielsweise von 50%. Diese Abweichung wird im Verlauf einer Kette von Verzögerungsgliedern immer stärker, da sich die Fehler zum Teil addieren. Hinzu kommt die Abweichung, die entsteht, wenn bereits das Eingangssignal der Kette vom gewünschten Wert,

35 beispielsweise 50%, abweicht.

2

Bei einer größeren Anzahl von Verzögerungsgliedern weicht das Tastverhältnis am Ende der Kette so stark vom gewünschten Wert ab, dass es nicht länger möglich ist, sowohl die steigende als auch die fallende Flanke des Signals zu verwenden, da das Ergebnis zu ungenau wäre.

Prinzipiell wäre es evtl. möglich, das Tastverhältnis aktiv zu regeln. Dies bedeutet aber bei hohen Frequenzen teilweise oberhalb von 1GHz, wie sie für die Überabtastung bei hohen Datenraten benötigt werden, einen hohen Schaltungsaufwand.

Es ist daher die Aufgabe der vorliegenden Erfindung, ein Verfahren bzw. eine Vorrichtung bereitzustellen, mit der ein gegenüber einem Eingangssignal verzögertes Signal mit einem genauen vorgegebenen Tastverhältnis erzeugt werden kann.

Diese Aufgabe wird gelöst durch ein Verfahren gemäß Anspruch 1 bzw. eine Vorrichtung gemäß Anspruch 12. Die Unteransprüche definieren bevorzugte oder vorteilhafte Ausführungsbeispiele der Erfindung.

Erfindungsgemäß wird vorgeschlagen, mindestens zwei gegenüber einem Eingangssignal unterschiedlich verzögerte Zwischensignale zu bilden und dann ein erstes und ein davon verschiedenes zweites Zwischensignal dieser Zwischensignale derart zu einem Ausgangssignal zusammenzufassen, dass eine ansteigende Flanke des Ausgangssignals einer ansteigenden oder abfallenden Flanke des ersten Zwischensignals und eine abfallende Flanke des Ausgangssignals einer ansteigenden oder abfallenden Flanke des zweiten Zwischensignals entspricht. Durch die Verzögerung zwischen dem ersten und dem zweiten Zwischensignal wird dabei das Tastverhältnis des Ausgangssignals definiert. Bevorzugt erfolgt die Bildung der verzögerten Zwischensignale durch eine Verzögerungskette, d. h. durch sukzessive Verzögerung des Eingangssignals. Um mehrere jeweils um gleiche Zeiten verzögerte Ausgangssignale mit einem Tastverhältnis von 50% zu bilden, werden bevorzugt

2k(k=1,2...) gegenüber dem Eingangssignal jeweils sukzessive im Wesentlichen um $360^\circ/(2k)$ verzögerte Zwischensignale gebildet. Dann werden jeweils diejenigen Zwischensignale zu einem Ausgangssignal zusammengefasst, deren Verzögerung zueinander im wesentlichen 180° beträgt. Die Zusammenfassung dieser Signale kann beispielsweise durch einen Multiplexer erfolgen, insbesondere der Art, dass der jeweilige Multiplexer in Abhängigkeit von einem Steuersignal das erste Zwischensignal oder das zweite Zwischensignal in invertierter Form als das Ausgangssignal darstellt. Als Steuersignal kann dabei ein weiteres der Zwischensignale verwendet werden. Für ein Tastverhältnis von 50% kann dabei ein Zwischensignal verwendet werden, welches sowohl zum ersten als auch zum zweiten Zwischensignal eine absolute Verzögerung von im Wesentlichen 90° aufweist, also genau zwischen dem ersten und dem zweiten Zwischensignal liegt. Um eine größere Genauigkeit der ausgegebenen Ausgangssignale zu erhalten, ist es vorteilhaft, eine Regelung in Form eines Verzögerungsregelkreises oder Delay-Locked Loops (DLL) zu verwenden. Dabei wird die Verzögerung der Zwischensignale so geregelt, dass das Zwischensignal mit der größten Verzögerung eine Verzögerung von im Wesentlichen 360° gegenüber dem Eingangssignal erfährt. Somit wird bei Verwendung der oben beschriebenen Verzögerungskette die Gesamtverzögerung konstant gehalten und eine Prozessstreuung der einzelnen Verzögerungsglieder teilweise ausgeglichen.

Das erfindungsgemäße Verfahren bzw. die erfindungsgemäße Vorrichtung bietet den Vorteil, dass die Verzögerung, die durch Verzögerungsglieder erfolgt, weniger empfindlich auf die Prozessstreuung reagiert als das Tastverhältnis. Da das Tastverhältnis des Ausgangssignals bei der vorliegenden Erfindung durch die Verzögerungen der Zwischensignale definiert wird, lässt sich somit das Tastverhältnis genau einstellen.

4

Die Erfindung wird im Folgenden unter Bezugnahme auf die beiliegende Zeichnung näher erläutert. Es zeigen:

5 Figur 1 ein Schaltbild eines Ausführungsbeispiels einer erfindungsgemäßen Vorrichtung,

Figur 2 einen vergrößerten Ausschnitt des in Figur 1 dargestellten Schaltbildes,

10 Figur 3 beispielhafte Signalverläufe,

Figur 4 ein Blockdiagramm eines erfindungsgemäßen Delay-Locked Loops, und

15 Figur 5 den Verlauf von Regelsignalen in Abhängigkeit von der Verzögerung der Zwischensignale bei dem in Figur 4 dargestellten Delay Locked Loop.

20 In Figur 1 ist das Schaltbild einer erfindungsgemäßen Vorrichtung dargestellt.

25 Dabei wird bei Betrieb der Schaltung an einem Anschluss 34 ein Eingangstaktsignal zugeführt. Das Taktsignal wird von einer Kette von nominell identischen Verzögerungsgliedern 1 bis 19 verzögert. Aus Platzgründen ist die Kette von Verzögerungsgliedern 1 bis 19 gefaltet dargestellt, für die tatsächliche Ausführung wird sie bevorzugt in gestreckter Form realisiert, wobei die einander entsprechenden Leitungen möglichst alle gleich lang und symmetrisch sein sollten.

30 Mit den Verzögerungsgliedern 1 bis 19 sind Multiplexer 20 bis 30 und Puffer 33 wie in Fig. 1 gezeigt verschaltet. An den Ausgängen 35 der Multiplexer 23 bis 30 sind die verzögerten Ausgangssignale abgreifbar.

35 Die ersten zwei Verzögerungsglieder 1 und 2 der Verzögerungskette dienen zur Pulsformung. Damit die

Nulldurchgänge an allen Ausgängen 35 regelmäßige Abstände haben, sollten die Signale innerhalb der Kette alle die gleiche Form haben. Durch die Kombination von Verstärkung und Bandbegrenzung durch die Verzögerungsglieder stellt sich in einer Kette von identischen Stufen eine solche Form bereits nach wenigen Stufen, im vorliegenden Fall zwei Stufen, ein. Damit alle Stufen wirklich identisch sind, müssen sie auch identisch belastet werden. Aus diesem Grund sind die Multiplexer 20 und 21 und Pufferstufen 33 auch dann vorhanden, wenn ihre Ausgangssignale nicht verwendet werden. Im vorliegenden Ausführungsbeispiel ändert sich die Belastung durch diese Elemente allerdings nur geringfügig, wenn sie stromlos geschaltet werden. Dies wird deswegen bei allen Elementen, beispielsweise bei den Multiplexern 20 und 21, bewerkstelligt, deren Ausgangssignale in der Schaltung nicht verwendet werden. Am Ausgang des Verzögerungsglieds 2 liegt das eigentliche Eingangssignal für die Erzeugung der verzögerten Ausgangssignale vor.

Die eigentliche Kette besteht aus den 16 Verzögerungsgliedern 3 bis 18. Damit das letzte Verzögerungsglied 18 dieser eigentlichen Kette dieselbe Last sieht wie die übrigen Glieder 3 bis 17, ist zusätzlich ein Verzögerungsglied 19 als Last am Ende der Kette vorhanden. In dem gezeigten Ausführungsbeispiel beträgt die nominelle Verzögerung jedes Verzögerungsglieds bevorzugt $22,5^\circ$ oder $1/16$ einer Periode, so dass durch die Verzögerungsglieder 3 bis 18 insgesamt eine Verzögerung um 360° erreicht wird. Zur Erzeugung der an den Ausgängen 35 abzugreifenden Ausgangssignale werden jeweils zwei verzögerte Signale durch die Multiplexer 23 bis 30 zu einem jeweiligen Ausgangssignal zusammengefügt.

Die Beschaltung der Multiplexer 23 bis 30 ist in Figur 2 am Beispiel des Multiplexers 24 vergrößert dargestellt. In dem gezeigten Ausschnitt liegt an einem ersten Eingang 37 das Signal nach dem Verzögerungsglied 4 und an einem zweiten Eingang 38 das Signal nach dem Verzögerungsglied 12 an. Dabei

6

ist die Verschaltung derart, dass das Signal nach dem Verzögerungsglied 12 invertiert am Multiplexer 24 angelegt ist, was in diesem Fall bei differenziellen Signalen durch einfaches Auskreuzen der Leitungen geschehen kann. Zwischen den beiden an den Eingängen 37 und 38 anliegenden Signalen liegen also acht Verzögerungsglieder, d. h. die Hälfte der eigentlichen Kette. In dem oben angesprochenen Beispiel, bei dem jedes Verzögerungsglied eine Verzögerung um $22,5^\circ$ bewirkt, bedeutet dies eine Verzögerung um 180° zwischen dem am Eingang 37 und dem am Eingang 38 anliegenden Signal.

Weiterhin wird dem Multiplexer 24 an einem Steuereingang 36 ein Steuersignal zugeführt, welches nach dem Verzögerungsglied 8, also genau in der Mitte zwischen dem Verzögerungsglied 4 und dem Verzögerungsglied 12, abgegriffen wird.

In Figur 3 sind beispielhaft mögliche Signalverläufe an den Eingängen 36 bis 38 und dem Ausgang 35 des Multiplexers 24 zeitabhängig dargestellt.

Dabei bedeutet ZS1 das nach dem Verzögerungsglied 4 abgegriffene erste Zwischensignal, welches dem Multiplexer 24 an dem Eingang 37 zugeführt wird, und ZS2 das nach dem Verzögerungsglied 12 abgegriffene zweite Zwischensignal, welches dann in invertierter Form an dem zweiten Eingang 38 des Multiplexers zugeführt wird. Die Zwischensignale ZS1 und ZS2 haben zueinander eine Phasenverschiebung von 180° .

Weiterhin ist ein Steuersignal SS dargestellt, welches nach dem Verzögerungsglied 8 abgegriffen und dem Multiplexer an seinem Steuereingang 36 zugeführt wird. Dieses ist gegenüber dem ersten Zwischensignal ZS1 um 90° verschoben und eilt dem zweiten Zwischensignal ZS2 um 90° voraus. Der Multiplexer kombiniert das erste Zwischensignal ZS1 und das zweite Zwischensignal ZS2 nun in einer Weise, dass, wenn das Steuersignal auf logisch 0 liegt, das erste Zwischensignal

ZS1 das Ausgangssignal ergibt, wenn das Steuersignal SS hingegen auf logisch 1 liegt, das zweite Zwischensignal ZS2 in invertierter Form das Ausgangssignal darstellt. Der Verlauf des Ausgangssignals ist mit AS in Figur 3 gekennzeichnet.

In dem dargestellten Beispiel haben die Zwischensignale ZS1 und ZS2, die aus dem Eingangssignal gebildet werden, ein Tastverhältnis, welches von 50% abweicht. Das Ausgangssignal AS weist hingegen ein Tastverhältnis von 50% auf. Dies wird durch die Verzögerung des Zwischensignals ZS2 gegenüber dem Zwischensignal ZS1 um 180° und des Steuersignals SS gegenüber dem Zwischensignal ZS1 um 90° erreicht. Das Steuersignal SS steuert dabei den Multiplexer 24 so an, dass eine ansteigende Flanke des Zwischensignals ZS1 eine ansteigende Flanke des Ausgangssignals AS ergibt, eine ansteigende Flanke des Zwischensignals ZS2 hingegen eine abfallende Flanke des Ausgangssignals AS ergibt.

Prinzipiell sind jedoch auch andere Verzögerungen zwischen den Zwischensignalen und dem Steuersignal denkbar, um ein Ausgangssignal mit einem anderen gewünschten Tastverhältnis zu erzeugen. Zudem kann die Schaltung auch so ausgelegt sein, dass jeweils die abfallenden Flanken der Zwischensignale ZS1 und ZS2 die Lage der Flanken des Ausgangssignals AS bestimmen.

Zu bemerken ist hierbei noch, dass durch die Zusammenfassung der Signale ZS1 und ZS2 die Frequenz nicht geändert wird, d. h., das Ausgangssignal AS hat die gleiche Frequenz wie die aus dem Eingangssignal erzeugten Zwischensignale ZS1 und ZS2. Das Tastverhältnis hingegen kann durch die Verzögerung eingestellt werden.

In Figur 1 ist zusätzlich ein Phasendetektor 31 dargestellt, welcher eine Ladungspumpe 32 ansteuert. Die Ladungspumpe wiederum steuert die Verzögerung der Verzögerungsglieder 1

8

bis 19. Die dazu nötigen Steuerleitungen sind aus Gründen der Übersichtlichkeit in Figur 1 nicht dargestellt. Diese Anordnung stellt eine Verzögerungsregelung (Delay Locked Loop, DLL) dar. Bevorzugt erfolgt die Regelung dabei so, dass durch die Verzögerungsglieder 3 bis 18 insgesamt eine Verzögerung um 360° , also um eine volle Periode erreicht wird. Damit wird eine ansteigende Flanke des an Verzögerungsglied 3 anliegenden Eingangssignals der eigentlichen Verzögerungskette mit einer ansteigenden Flanke des nach dem Verzögerungsglied 18 vorliegenden Signals zur Deckung gebracht. Der Phasendetektor 31 erhält in dem dargestellten Ausführungsbeispiel als Eingangssignal das Signal vor dem Verzögerungsglied 3, also das Eingangssignal der eigentlichen Verzögerungskette, welche aus den Verzögerungsgliedern 3 bis 18 besteht, ein Zwischensignal, welches nach dem Verzögerungsglied 6, also nach einem Viertel der Kette abgegriffen wird, und das Zwischensignal nach dem Verzögerungsglied 18, also am Ende der Kette. Diese Signale werden dem Phasendetektor 31 jeweils über Puffer 33 zugeleitet.

In Figur 4 ist ein Ausführungsbeispiel für eine Verzögerungsregelung dargestellt, wie sie beispielsweise in dem in Figur 1 dargestellten Ausführungsbeispiel Verwendung finden kann.

In Figur 4 ist die Verzögerungskette aus Figur 1 in vereinfachter Form dargestellt. Zur vereinfachten Darstellung sind jeweils vier Verzögerungsglieder der eigentlichen Verzögerungskette, welche aus den Verzögerungsgliedern 3 bis 18 besteht, zusammenfassend als Verzögerungsblöcke 40, 41, 42 und 43 dargestellt. Jeder dieser Verzögerungsblöcke verzögert das Signal nominell um eine Viertelperiode bzw. um 90° . Dieser Verzögerungskette wird ein Eingangssignal 39 zugeführt, welches in Figur 1 dem vor dem Verzögerungsglied 3 anliegenden Signal entspricht. Der Phasendetektor 31 umfasst im Wesentlichen drei Logikglieder, ein NOT-Glied 45 und zwei

AND-Glieder 46 und 47. Dem Phasendetektor wird das Eingangssignal 39, das Zwischensignal am Ende der Verzögerungskette, d. h. mit der größten Verzögerung, nach dem Verzögerungsblock 43 und ein weiteres Zwischensignal nach dem Verzögerungsblock 40 zugeführt. Durch die Logikglieder 45 bis 47 werden zwei Verzögerungsregelsignale erzeugt. Das AND-Glied 46 gibt ein erstes Verzögerungsregelsignal („Down-Signal“) aus, welches anzeigt, dass die Gesamtverzögerung nach unten korrigiert werden soll. Das AND-Glied 47 gibt ein zweites Verzögerungsregelsignal („Up-Signal“) aus, welches angibt, dass die Gesamtverzögerung der Verzögerungskette nach oben korrigiert werden soll. Abhängig von den zugeführten Signalen stellen sich die Verzögerungsregelsignale wie in folgender Tabelle dargestellt dar:

Eingangssignal	weiteres Zwischen-signal	Zwischensignal mit größter Verzögerung	erstes Verzögerungs-regelsignal	zweites Verzögerungs-regelsignal
0	0	0	0	0
1	0	0	1	0
0	1	0	0	0
0	0	1	0	1
1	1	0	0	0
1	0	1	1	1
0	1	1	0	0
1	1	1	0	0

Diese Verzögerungsregelsignale werden von einem Element 48 an die Ladungspumpe 32 weitergeleitet. Die Ladungspumpe 32 steuert wiederum die Verzögerungsblöcke 40 bis 43 bzw. die Verzögerungsglieder 1 bis 19 an. Diese Ansteuerung und Regelung erfolgt so, dass die Gesamtverzögerung der Verzögerungsglieder 40 bis 43 360° beträgt. Da die Verzögerungsglieder nominell gleich sind, beträgt die Verzögerung jedes einzelnen Verzögerungsglieds 40 bis 43 im Wesentlichen 90° bzw. jedes einzelnen Verzögerungsglieds 1 bis 19 im Wesentlichen $22,5^\circ$.

Die Charakteristik des Phasendetektors ist in Figur 5 dargestellt. Dabei sind die Verläufe der Verzögerungsregelsignale und eines daraus resultierenden gesamten oder effektiven Verzögerungsregelsignals in Abhängigkeit von der Verzögerung eines Verzögerungsblocks dargestellt.

Aufgetragen ist jeweils die Einschaltdauer der Verzögerungsregelsignale im Verhältnis zur Periodendauer über die Phasenverzögerung eines Verzögerungsblocks mit vier Verzögerungsgliedern, wobei die Kennlinie (i) dem ersten Verzögerungsregelsignal, die Kennlinie (ii) dem zweiten Verzögerungsregelsignal und die Kennlinie (iii) dem daraus resultierenden effektiven oder Gesamtverzögerungsregelsignal entspricht.

Zu beachten ist der lineare Verlauf des gesamten Verzögerungsregelsignals um 90° bzw. $0,25$. Dies bedeutet eine Regelung auf den Wert von $0,25$ bzw. 90° für die einzelnen Verzögerungsblöcke. Der Phasendetektor liefert ein Signal richtiger Polarität bis mindestens zur annähernd doppelten der nominalen Verzögerung. Durch Fertigungsschwankungen könnte es dazu kommen, dass aus dem instabilen Arbeitspunkt des Systems bei der doppelten nominalen Verzögerung ein stabiler Arbeitspunkt wird. Das Ausgangssignal des Phasendetektors ist proportional zur Abweichung, solange die Verzögerung weniger als ein Drittel vom nominalen Wert abweicht.

Zu bemerken ist, dass prinzipiell natürlich auch andere Ausführungsformen des Delay Locked Loops denkbar sind. Dadurch, dass die Gesamtverzögerung auf 360° geregelt wird, machen sich Prozessabweichungen der einzelnen Verzögerungsglieder im Ausgangssignal weniger stark bemerkbar.

Patentansprüche

1. Verfahren zum Erzeugen von einem gegenüber einem Eingangssignal verzögerten Ausgangssignal (AS),
5 wobei mindestens zwei gegenüber dem Eingangssignal unterschiedlich verzögerte Zwischensignale (ZS1, ZS2) gebildet werden,
dadurch gekennzeichnet,
dass ein erstes (ZS1) und ein davon verschiedenes zweites
10 (ZS2) Zwischensignal der Zwischensignale derart zu einem Ausgangssignal (AS) zusammengefasst werden, dass eine ansteigende Flanke des Ausgangssignals (AS) einer ansteigenden oder abfallenden Flanke des ersten Zwischensignals (ZS1) und eine abfallende Flanke des
15 Ausgangssignal (AS) einer ansteigenden oder abfallenden Flanke des zweiten Zwischensignals (ZS2) entspricht.
2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
20 dass die Bildung der verzögerten Zwischensignale (ZS1, ZS2) durch sukzessive Verzögerung des Eingangssignals erfolgt.
3. Verfahren nach Anspruch 2,
dadurch gekennzeichnet,
25 dass $2k$ gegenüber dem Eingangssignal jeweils sukzessive im Wesentlichen um $(360^\circ/(2k))$ verzögerte Zwischensignale (ZS1, ZS2) gebildet werden, wobei k eine natürliche Zahl ist, und dass jeweils diejenigen Zwischensignale (ZS1, ZS2) zu einem
30 Ausgangssignal (AS) zusammengefasst werden, deren Verzögerung zueinander im Wesentlichen 180° beträgt.
4. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass die Zusammenfassung der Zwischensignale (ZS1, ZS2)
35 derart erfolgt, dass in Abhängigkeit von einem Steuersignal (SS) das erste Zwischensignal (ZS1) oder das zweite

12

Zwischensignal (ZS2) in invertierter Form das Ausgangssignal (AS) darstellt.

5 5. Verfahren nach den Ansprüchen 3 und 4,
d a d u r c h g e k e n n z e i c h n e t,
dass k eine gerade Zahl ist und als Steuersignal (SS) für das
Zusammenfassen zweier Zwischensignale (ZS1, ZS2) dasjenige
der Zwischensignale verwendet wird, welches sowohl zum ersten
(ZS1) als auch zum zweiten (ZS2) Zwischensignal eine absolute
10 Verzögerung von im Wesentlichen 90° aufweist.

15 6. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass eine Verzögerungsregelung derart vorgenommen wird, dass
das Zwischensignal mit der größten Verzögerung eine
Verzögerung von im Wesentlichen 360° gegenüber dem
Eingangssignal erfährt.

20 7. Verfahren nach Anspruch 6,
d a d u r c h g e k e n n z e i c h n e t,
dass die Verzögerungsregelung in Abhängigkeit von dem
Eingangssignal, dem Zwischensignal mit der größten
Verzögerung und einem weiteren Zwischensignal der
Zwischensignale durchgeführt wird.

25 8. Verfahren nach Anspruch 7,
d a d u r c h g e k e n n z e i c h n e t,
dass das weitere Zwischensignal gegenüber dem Eingangssignal
eine Verzögerung von im Wesentlichen 90° aufweist.

30 9. Verfahren nach Anspruch 7 oder 8,
d a d u r c h g e k e n n z e i c h n e t,
dass die Verzögerungsregelung durch ein die Verzögerung aller
Zwischensignale erniedrigendes erstes Verzögerungsregelsignal
35 und ein die Verzögerung aller Zwischensignale erhöhendes
zweites Verzögerungsregelsignal erfolgt.

13

10. Verfahren nach Anspruch 9,
d a d u r c h g e k e n n z e i c h n e t,
dass die beiden Verzögerungsregelsignale gemäß der Beziehung

Eingangssignal	weiteres Zwischen-signal	Zwischensignal mit größter Verzögerung	erstes Verzögerungs-regelsignal	zweites Verzögerungs-regelsignal
0	0	0	0	0
1	0	0	1	0
0	1	0	0	0
0	0	1	0	1
1	1	0	0	0
1	0	1	1	1
0	1	1	0	0
1	1	1	0	0

5 erzeugt werden, wobei 1 einem ersten Signalpegel und 0 einem zweiten Signalpegel entspricht.

11. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,

10 dass das Eingangssignal durch zusätzliche Verzögerungsschritte aus einem Eingangstaktsignal gewonnen wird.

12. Vorrichtung zum Erzeugen von einem gegenüber einem

15 Eingangssignal verzögerten Ausgangssignal,
wobei das Eingangssignal mindestens zwei Verzögerungsgliedern (3-18) zuführbar ist, an denen jeweils ein Zwischensignal abgreifbar ist,

d a d u r c h g e k e n n z e i c h n e t,

20 dass Schaltungsmittel (23-30) vorgesehen sind, welche derart mit den Verzögerungsgliedern (3-18) verschaltet sind, dass sie aus einem ersten (ZS1) und einem davon verschiedenen zweiten (ZS2) Zwischensignal der Zwischensignale ein Ausgangssignal (AS) derart bilden, dass eine ansteigende

25 Flanke des Ausgangssignals (AS) einer ansteigenden oder abfallenden Flanke des ersten Zwischensignals (ZS1) und eine

abfallende Flanke des Ausgangssignals (AS) einer ansteigenden oder abfallenden Flanke des zweiten Zwischensignals (ZS2) entspricht.

5 13. Vorrichtung nach Anspruch 12,
dadurch gekennzeichnet,
dass die Verzögerungsglieder (3-18) in Reihe geschaltet sind.

10 14. Vorrichtung nach Anspruch 13,
wobei die Vorrichtung 2k in Reihe geschaltete
Verzögerungsglieder (3-18) umfasst, an denen jeweils ein
Zwischensignal abgreifbar ist und welche jeweils eine
Verzögerung um im Wesentlichen $360^\circ/(2k)$ bewirken, wobei k
eine natürliche Zahl ist,
15 dadurch gekennzeichnet,
dass k Schaltungsmittel (23-30) vorgesehen sind, welche
derart mit den Verzögerungsgliedern (3-18) verschaltet sind,
dass ihnen von den Verzögerungsgliedern (3-18) jeweils zwei
um im Wesentlichen 180° zueinander verzögerte Zwischensignale
20 (ZS1, ZS2) zur Bildung eines Ausgangssignals (AS) zuführbar
sind.

15. Vorrichtung nach einem der Ansprüche 12 bis 14,
dadurch gekennzeichnet,
25 dass die Schaltungsmittel jeweils einen Multiplexer (23-30)
umfassen.

16. Vorrichtung nach einem der Ansprüche 12 bis 15,
wobei die Verzögerungsglieder (3-18) steuerbar ausgestaltet
30 sind
dadurch gekennzeichnet,
dass eine Verzögerungsregeleinrichtung (31, 32) vorgesehen
ist, welche die Verzögerungsglieder derart ansteuert, dass
das Zwischensignal mit der größten Verzögerung eine
35 Verzögerung von im Wesentlichen 360° gegenüber dem
Eingangssignal aufweist.

15

17. Vorrichtung nach einem der Ansprüche 12 bis 16,
dadurch gekennzeichnet,
dass die Vorrichtung zur Durchführung des Verfahrens nach
einem der Ansprüche 1 bis 11 ausgestaltet ist.

5

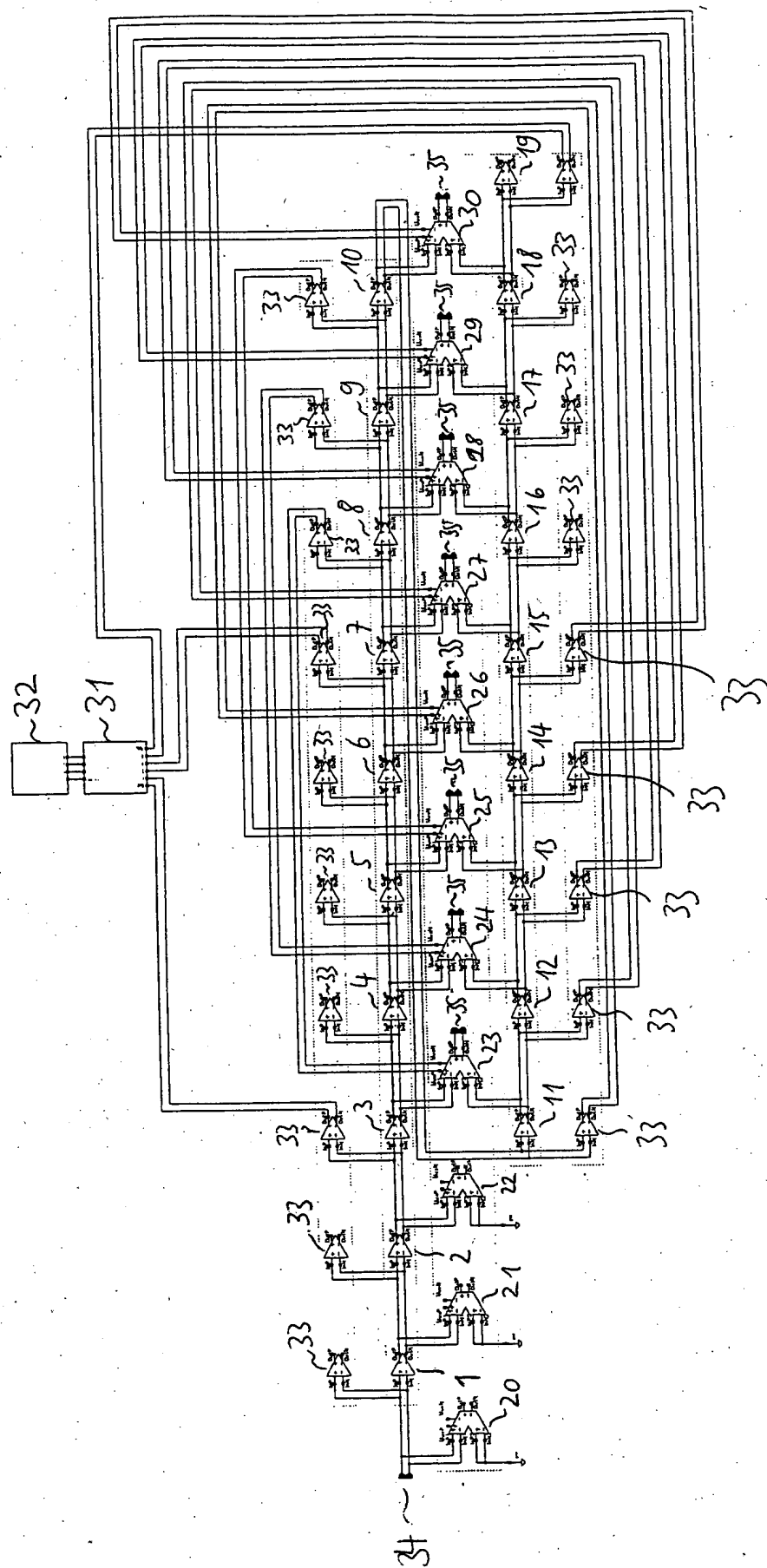


Fig. 1

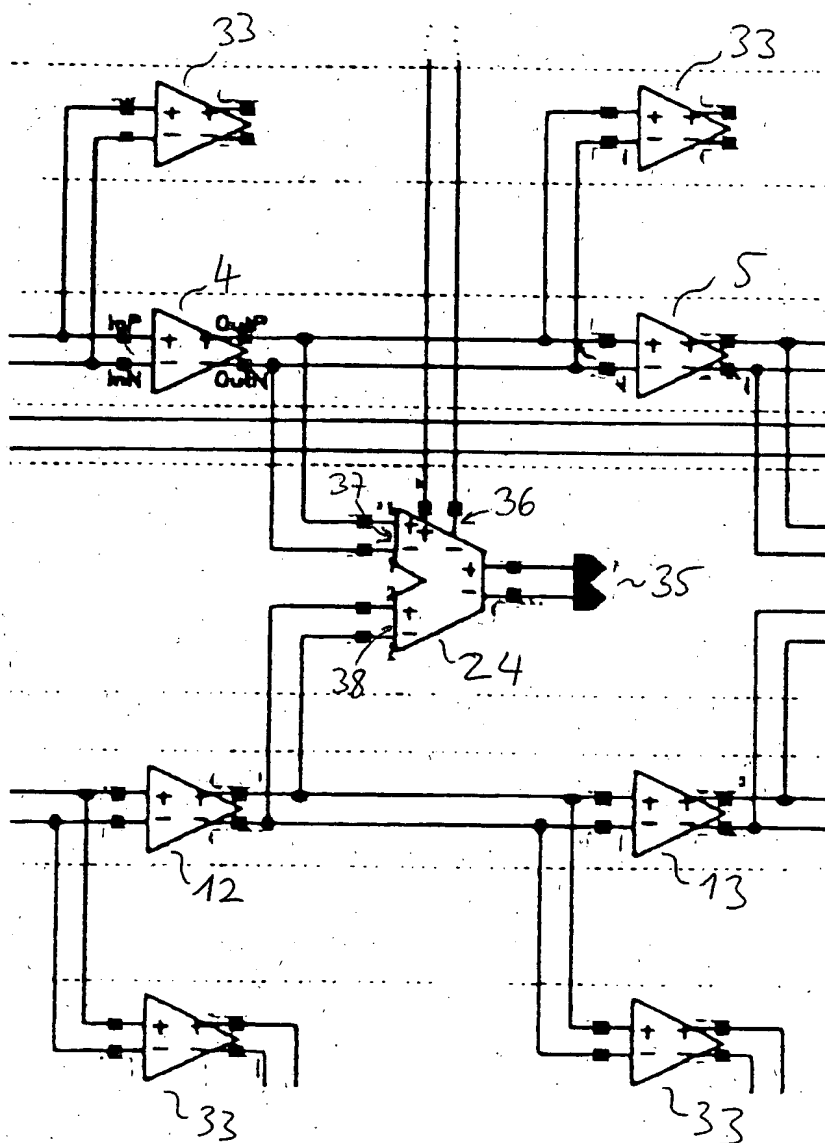


Fig. 2

150100

22

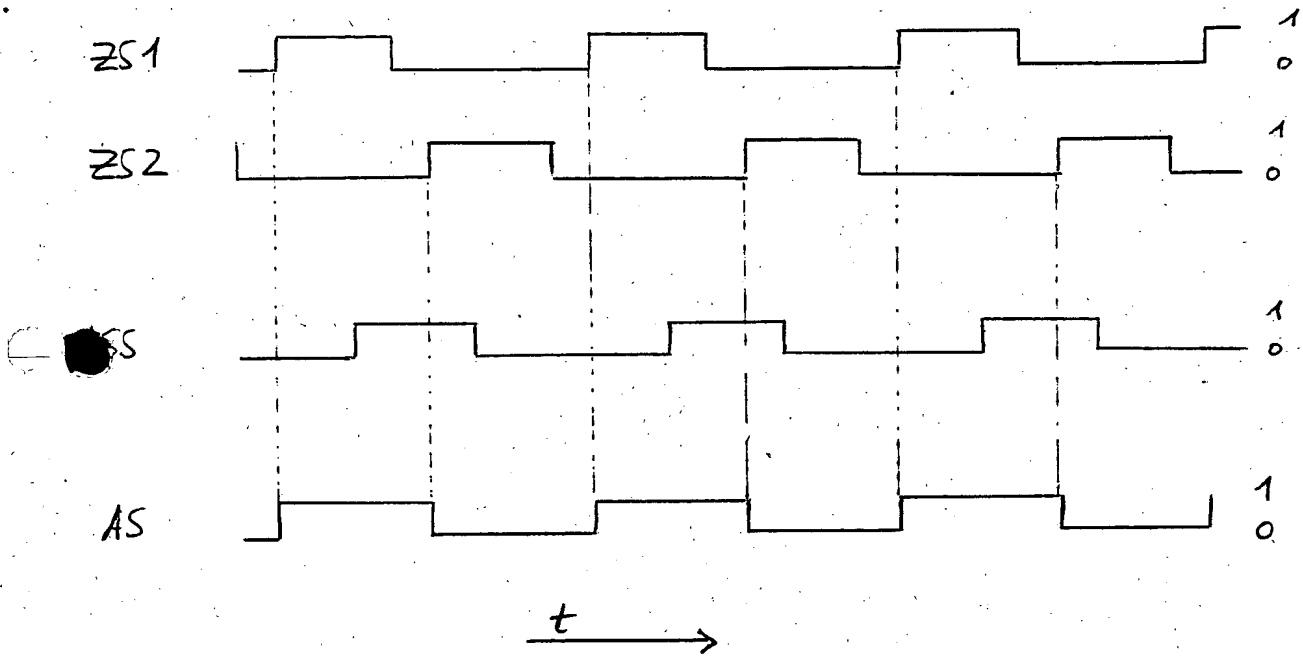


Fig. 3

15 01 00

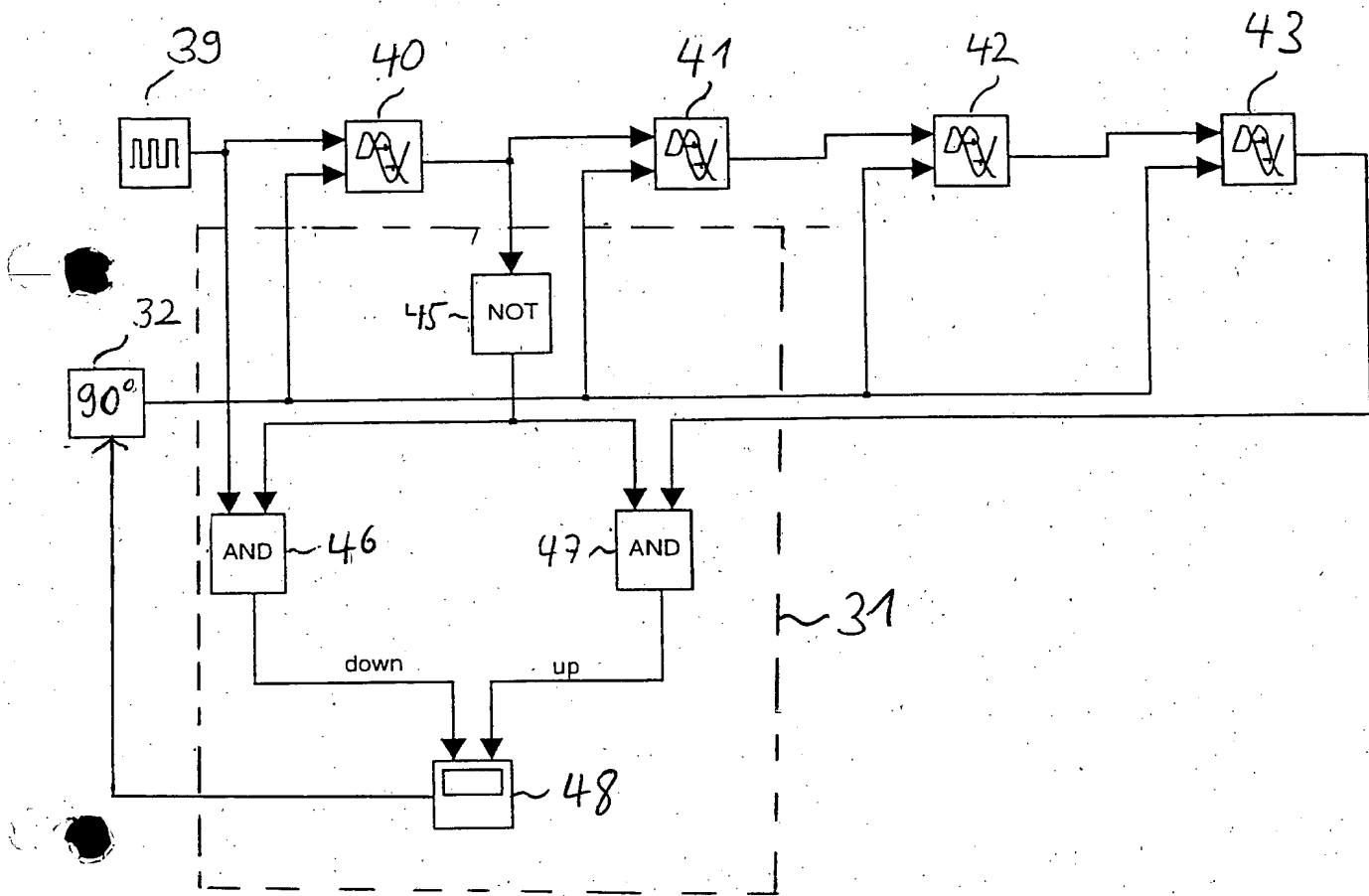


Fig. 4

15-01-03

24

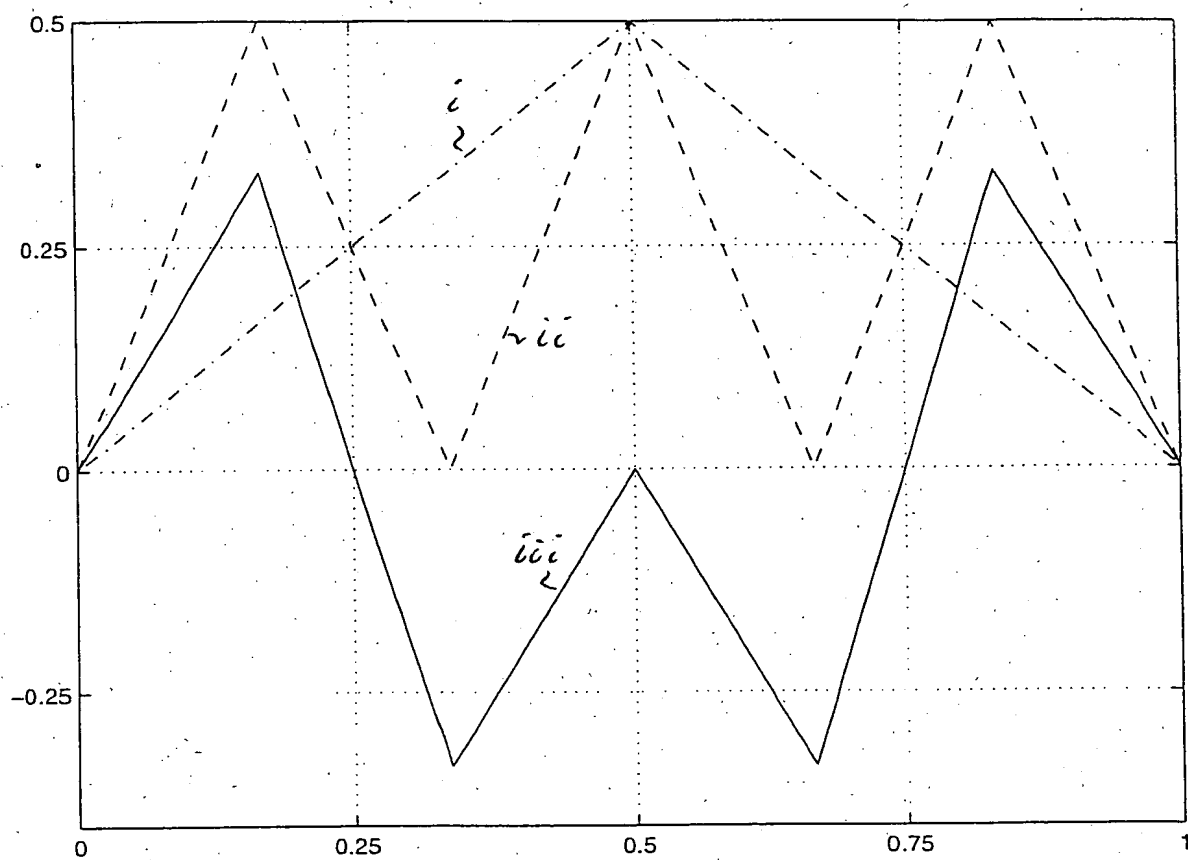


Fig 5